

Family list

1 family member for: **JP10223530**
Derived from 1 application

1 MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

Inventor: YAMAZAKI SHUNPEI; OTANI HISASHI **Applicant:** SEMICONDUCTOR ENERGY LAB

EC:

IPC: H01L21/20; H01L21/322; H01L21/336 (+

Publication info: **JP10223530 A** - 1998-08-21

Data supplied from the **esp@cenet** database - Worldwide

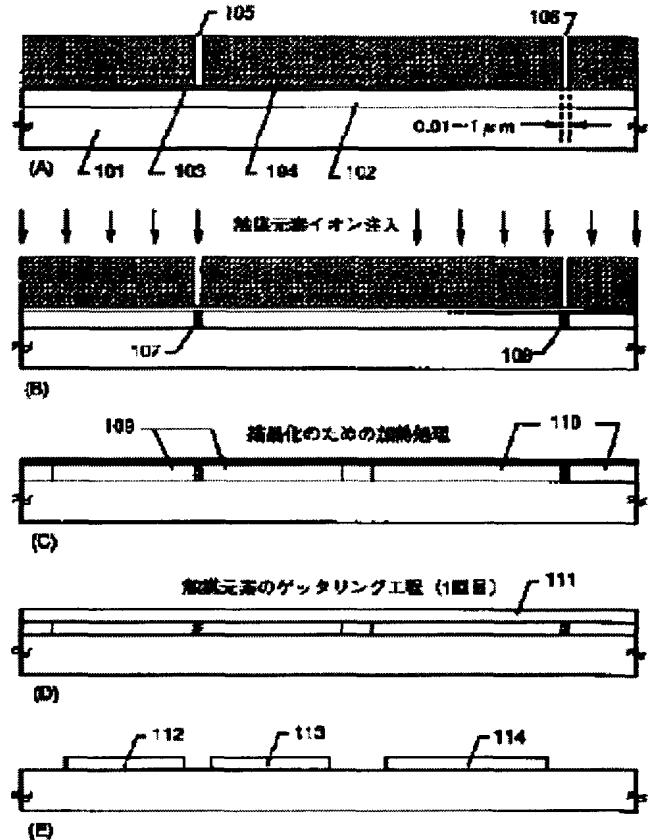
MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

Patent number: JP10223530
Publication date: 1998-08-21
Inventor: YAMAZAKI SHUNPEI; OTANI HISASHI
Applicant: SEMICONDUCTOR ENERGY LAB
Classification:
 - **international:** H01L21/20; H01L21/322; H01L21/336; H01L29/786;
 H01L21/02; H01L29/66; (IPC1-7): H01L21/20;
 H01L21/322; H01L21/336; H01L29/786
 - **european:**
Application number: JP19970040141 19970207
Priority number(s): JP19970040141 19970207

[Report a data error here](#)

Abstract of JP10223530

PROBLEM TO BE SOLVED: To provide a method of manufacturing a semiconductor device at high throughput. **SOLUTION:** For adding a catalytic element for accelerating the crystallization of an amorphous Si film 102, an ion implanting method is utilized wherein the areas occupied by catalytic element-adding regions 107, 108 are reduced to increase the area of a crystal Si film available for TFTs, thereby increasing the degree of freedom of the circuit design. The step of crystallizing the Si film and gettering step for the catalytic element are conducted successively to greatly improve the throughput.



(51) Int. Cl.⁶

H01L 21/20

21/322

29/786

21/336

識別記号

F I

H01L 21/20

21/322

X

29/78

613

A

627

G

審査請求 未請求 請求項の数 6 FD (全11頁)

(21)出願番号

特願平9-40141

(22)出願日

平成9年(1997)2月7日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 大谷 久

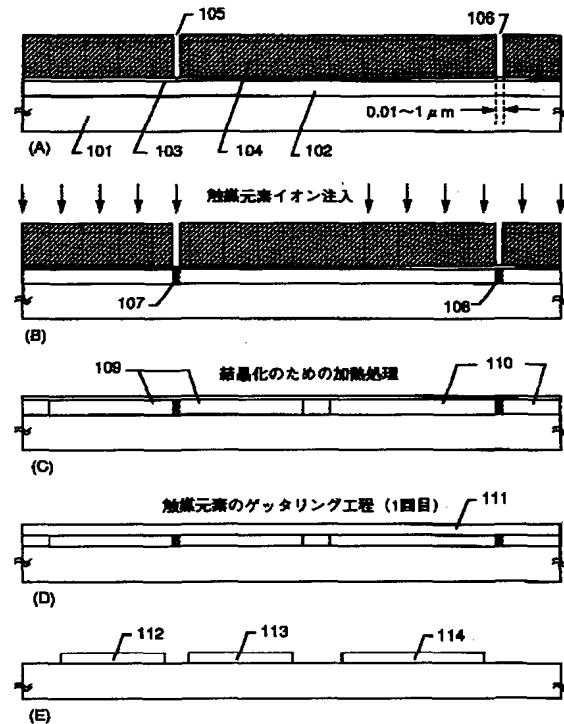
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54)【発明の名称】半導体装置の作製方法

(57)【要約】

【課題】 高いスループットの半導体装置の作製方法を提供する。

【解決手段】 非晶質シリコン膜102の結晶化を助長する触媒元素の添加方法としてイオン注入法を利用する。この場合、触媒元素の添加領域107、108の占有面積を狭くしてTFTに活用しうる結晶シリコン膜の面積を増やせるので回路設計の自由度が増す。また、シリコン膜の結晶化工程と触媒元素のゲッタリング工程とを連続的に行なうことでスループットを大幅に向上できる。



【特許請求の範囲】

【請求項 1】 絶縁表面を有する基板上に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜上に酸化膜を形成する工程と、イオン注入法により前記非晶質シリコン膜に対して選択的にシリコン膜の結晶化を助長する触媒元素を添加する工程と、加熱処理により前記非晶質シリコン膜を結晶化させる工程と、ハロゲン元素を含む雰囲気中における加熱処理により前記活性層中の前記触媒元素をゲッタリングする工程と、を少なくとも有する半導体装置の作製方法において、前記非晶質シリコン膜を結晶化させる工程と前記活性層中の触媒元素をゲッタリングする工程は同一加熱炉内で連続的に行われることを特徴とする半導体装置の作製方法。

【請求項 2】 絶縁表面を有する基板上に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜上に酸化膜を形成する工程と、前記酸化膜上にレジストマスクを設け、該レジストマスクをパターニングして短辺が $0.01\sim 1\ \mu\text{m}$ の長さのスルーホールを形成する工程と、イオン注入法により前記非晶質シリコン膜に対して選択的にシリコン膜の結晶化を助長する触媒元素を添加する工程と、前記レジストマスクを除去する工程と、

加熱処理により前記非晶質シリコン膜を結晶化させる工程と、ハロゲン元素を含む雰囲気中における加熱処理により前記活性層中の前記触媒元素をゲッタリングする工程と、を少なくとも有する半導体装置の作製方法において、前記非晶質シリコン膜を結晶化させる工程と前記活性層中の触媒元素をゲッタリングする工程は同一加熱炉内で連続的に行われることを特徴とする半導体装置の作製方法。

【請求項 3】 請求項 1 または請求項 2 において、前記非晶質シリコン膜上に酸化膜を形成する工程は、酸素雰囲気中における UV 光照射またはオゾンを含む溶液による処理によって行われることを特徴とする半導体装置の作製方法。

【請求項 4】 請求項 1 または請求項 2 において、前記触媒元素として Ni、Fe、Co、Sn、Pd、Pb、Pt、Cu、Au から選ばれた一種または複数種類の元素を用いることを特徴とする半導体装置の作製方法。

【請求項 5】 請求項 1 または請求項 2 において、前記ハロゲン元素を含む雰囲気中には HCl、HF、NF₃、HBr、Cl₂、C₂H₂、BCl₃、F₂、Br₂ 等のハロゲン元素を含む化合物から選ばれた一種または複数種が存在していることを特徴とする半導体装置の作製方法。

10

20

30

40

50

【請求項 6】 請求項 1 または請求項 2 において、前記非晶質シリコン膜を結晶化させる工程は 500~700 °C の温度範囲で行われ、前記活性層中の触媒元素をゲッタリングする工程は 700 °C を超える温度で行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本明細書で開示する発明は、絶縁表面を有する基板上に形成された薄膜トランジスター (TFT) で構成される半導体装置の作製方法に関する。半導体装置としては IC や LSI 等の半導体回路、アクティブラマトリクス型表示装置などに適用することができる。

【0002】 なお、本明細書中における「半導体装置」とは半導体を利用して機能する装置全般を指し、広義的には IGFET、TFT、IC、電気光学装置（表示装置等）およびそれらの応用製品などは全て「半導体装置」の範疇に含まれているものとする。

【0003】

【従来の技術】 近年、非晶質シリコン薄膜（アモルファスシリコン膜：a-Si 膜）を利用して TFT に代わって多結晶シリコン薄膜（ポリシリコン膜：p-Si 膜）を利用して TFT で構成される半導体装置の研究が進んでいる。多結晶シリコン膜は非晶質シリコン膜を結晶化して得るのが一般的である。

【0004】 非晶質シリコン膜の結晶化手段としては本発明者らによる特開平7-130652号公報、特開平8-78329号公報記載の技術が知られている。同公報記載の技術は、結晶化を助長する触媒元素（ニッケル、コバルト等）を非晶質シリコン膜に対して選択的に添加し、そこを起点として基板面とほぼ平行方向に結晶化させ、その横方向の結晶化領域（以下、横成長領域と呼ぶ）のみを TFT の活性層として利用するものである。

【0005】 同公報記載の技術ではスピンドルコート法を用いて触媒元素を含む溶液を塗布することで触媒元素の添加領域を形成している。そのため、非晶質シリコン膜上にマスクとなる絶縁膜（以下、マスク絶縁膜と呼ぶ）を 100~200 nm の厚さに設け、マスク絶縁膜のスルーホールを介して触媒元素を添加する。

【0006】 非晶質シリコン膜の結晶化工程は、非晶質シリコン膜上にマスク絶縁膜を残したまま加熱処理を行う。この時、マスク絶縁膜は横成長領域を形成する針状または柱状結晶の方向性を規定する、即ちランダムな成長を抑制する機能を果たしていると考えられる。

【0007】 しかしながら、結晶化工程で利用した触媒元素を除去する工程（ハロゲン元素による触媒元素のゲッタリング工程）ではマスク絶縁膜が、ハロゲン元素と触媒元素との化合物が離脱するのをブロックしている。そのため、ゲッタリング工程の前にマスク絶縁膜

を除去することが必要となる。

【0008】

【発明が解決しようとする課題】本発明は、上述の技術に改良を加え、さらにスループットの高い半導体装置の作製方法を提供することを課題とする。

【0009】

【課題を解決するための手段】本明細書で開示する発明の構成は、絶縁表面を有する基板上に非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜上に酸化膜を形成する工程と、イオン注入法により前記非晶質シリコン膜に対して選択的にシリコン膜の結晶化を助長する触媒元素を添加する工程と、加熱処理により前記非晶質シリコン膜を結晶化させる工程と、ハロゲン元素を含む雰囲気中における加熱処理により前記活性層中の前記触媒元素をゲッタリングする工程と、を少なくとも有する半導体装置の作製方法において、前記非晶質シリコン膜を結晶化させる工程と前記活性層中の触媒元素をゲッタリングする工程は同一加熱炉内で連続的に行われることを特徴とする。

【0010】本発明では触媒元素を添加した後にレジストマスクを除去してしまえば非晶質シリコン膜上に残るのは薄い酸化膜のみである。この酸化膜は結晶化工程では横成長領域の結晶の方向性を揃える効果を有し、ゲッタリング工程ではブロッキング層として機能しないという効果を有する。

【0011】また、前記非晶質シリコン膜に対して選択的にシリコン膜の結晶化を助長する触媒元素を添加する工程は、前記酸化膜上に設けられたレジストマスクにより触媒元素の選択的な添加が行われる。即ち、レジストマスクに設けられたスルーホールを介して触媒元素が添加される。

【0012】本発明は非晶質シリコン膜中の触媒元素の添加をイオン注入法やプラズマドーピング法で行うので、レジストマスクに形成するスルーホールの短辺が10μm未満（好ましくは0.01～1μm）の長さであっても、非晶質シリコン膜を結晶化させるに足る十分な添加量を確保できる。

【0013】

【発明の実施の形態】図1（A）に示す様に、石英基板101上には非晶質シリコン膜102、酸化膜103、レジストマスク104が設けられ、レジストマスク104にはスルーホール105、106が形成されている。

【0014】触媒元素イオンの添加工程はイオン注入法またはプラズマドーピング法で行う。その時、触媒元素はスルーホール105、106を介して非晶質シリコン膜102に打ち込まれ、添加領域107、108が形成される。

【0015】次に、レジストマスク104を除去し、結晶化のための加熱処理を行う。この加熱処理により非晶質シリコン膜は触媒元素の作用によって結晶化し、横成

長領域109、110が形成される。

【0016】さらに、結晶化のための加熱処理が終了したら、基板は取り出さずにそのまま加熱炉の設定だけを変更して触媒元素のゲッタリング工程を行う。この様な連続処理を行うことで加熱処理の昇温時間や降温時間を削減し、スループットを向上させることができる。

【0017】

【実施例】

【実施例1】本実施例では、同一基板上にCMOS回路と画素TFTとを作製する場合の作製工程例を図1～図3を用いて説明する。なお、本実施例は一例を示すものであり、本発明はこの作製工程に限定されるものではない。

【0018】図1（A）において、101は石英基板である。石英基板の代わりに表面に0.5～5μmの厚さの絶縁膜を形成したセラミックス基板、単結晶シリコンウェハーおよび多結晶シリコンウェハーを用いることができる。なお、ここでいうシリコンウェハーは太陽電池に使用される様な低級グレードのウェハーで十分であり、安価であるので反射型表示装置やICチップの様に透過性基板を用いる必要のない用途に用いる場合に有効である。

【0019】102は非晶質シリコン膜であり、最終的な膜厚（熱酸化後の膜減りを考慮した膜厚）が10～75nm（好ましくは15～45nm）となる様に調節する。成膜は減圧熱CVD法又はプラズマCVD法によれば良い。なお、シリコン膜以外にシリコン・ゲルマニウム膜（Si, Ge等で表される）等の化合物半導体を用いることも可能である。

【0020】また、103は非晶質シリコン膜102を酸化して得られる5～50nm程度の薄い酸化膜（バッファ層）である。酸化膜103の形成方法としては、酸素雰囲気中でUV光を照射することによる酸化でも良いし、オゾンを含む溶液と接触させることによる酸化を用いるのでも良い。

【0021】次に、触媒元素の添加領域を選択するレジストマスク104を形成する。レジストマスク104には紙面と垂直な方向にスリット状のスルーホール105、106が形成されている。なお、スルーホール105は後にCMOS回路を構成するTFTの活性層となる横成長領域を形成する触媒元素の添加領域である。また、スルーホール106は後に画素TFTの活性層となる横成長領域を形成するための添加領域である。（図1（A））

【0022】スルーホール105、106の形成はフォトリソグラフィにより行う。本実施例ではレジストマスク104の露光をエキシマレーザーを用いた露光法や電子ビームを用いた露光法などで行う。

【0023】これらの露光法は極めて微細なパターン形成が可能となるので実質的に短辺が10μm未満（好まし

くは0.01~1 μm 、代表的には0.1~0.35 μm の長さで触媒元素の添加領域を形成することができる。また、電子ビーム等で直接レジストパターンを描画すれば、添加領域の形状の自由度も大幅に広がる。

【0024】そして、非晶質シリコン膜の結晶化を助長する触媒元素としてニッケル(Ni)をイオン注入法により添加する。なお、触媒元素としてはニッケル以外にも、コバルト(Co)、鉄(Fe)、錫(Sn)、鉛(Pb)、パラジウム(Pd)、白金(Pl)、銅(Cu)、金(Au)等、シリコン膜の結晶化を助長する元素を用いることができる。(図1(B))

【0025】この時、添加イオンプロファイル(添加されたNiイオンの濃度分布)のピーク値が非晶質シリコン膜102中にくる様にしてNiイオンを添加する。そのため、非晶質シリコン膜102中には所定の濃度(好ましくは $3 \times 10^{19} \sim 1.5 \times 10^{21} \text{ atoms/cm}^3$)でNiイオンが添加された領域107、108が形成される。

【0026】なお、イオンの添加方法は、質量分離を行うイオン注入法以外に質量分離を行わないプラズマドーピング法(イオンドーピング等)によるものである。Niイオンのみを添加できる点でイオン注入法の方が有利である。

【0027】また、粘性が極めて低い溶媒を用いるのであれば、Niイオンを溶解または分散させた溶液を用いたスピンドル法も可能である。

【0028】また、本実施例に示す構成ではバッファ層103で非晶質シリコン膜102を覆い、バッファ層103を通過したNiイオンのみを利用する。そのため、イオン注入時のイオンの衝突によるダメージが非晶質シリコン膜102に対して直接届かないという利点が得られる。

【0029】また、添加イオンプロファイルのピーク値付近のみを利用することで、イオン注入の条件を最適化することでNiイオンの添加量を再現性良く制御できる。即ち、横成長領域の成長距離は添加するNiイオンの濃度によって変化するため、イオン注入法を用いることで横成長領域の成長距離を制御することができる。このことは、所望の位置に所望の広さで横成長領域を形成することができることを意味している。即ち、TFTサイズ(チャネル形成領域の長さ)を考慮して必要十分な広さの横成長領域を形成することができる。

【0030】次に、Niイオンの添加工程が終了したら、レジストマスク104を除去した後に不活性雰囲気(N₂、雰囲気、Ar雰囲気等)、O₂雰囲気、H₂雰囲気、または空気中において500~700℃、代表的には550~650℃の温度で4~8時間の加熱処理を加えて非晶質シリコン膜102の結晶化を行う。

【0031】非晶質シリコン膜102の結晶化はニッケルを添加した添加領域107、108から優先的に進行し、基板101と概略平行に成長した横成長領域10

9、110が形成される。(図1(C))

【0032】なお、前述の様に添加領域107、108に添加するNiイオンの濃度を異なるものとすることで横成長領域109、110の成長距離を互いに異なるものとすることも可能である。即ち、同一基板上の少なくとも1ヶ所は他の横成長領域とは異なる成長距離を有する横成長領域が形成される構成もありうる。

【0033】結晶化のための加熱処理が終了したら、基板を熱処理炉に入れたまま雰囲気ガスと炉内温度のみを変えて触媒元素(ニッケル)のゲッタリング工程(1回目)を行う。この加熱処理はハロゲン元素による金属元素のゲッタリング効果を利用するものである。(図1(D))

【0034】ハロゲン元素によるゲッタリング効果を十分に得るために、上記加熱処理を700℃を越える温度で行なうことが好ましい。そのため、本実施例ではこの加熱処理を700℃を超える温度で行い、好ましくは800~1000℃(代表的には950℃)とし、処理時間は0.1~6時間、代表的には0.5~1時間とする。

【0035】なお、ここでは酸素(O₂)のみの雰囲気中に対して塩化水素(HCl)を0.5~10体積%(本実施例では3体積%)の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行う例を示す。HCl濃度を上記濃度以上とすると、シリコン膜の表面に膜厚と同程度の凹凸が生じてしまうため好ましくない。

【0036】また、上述の雰囲気中に高濃度の窒素(N₂)を混ぜた雰囲気とすることで結晶シリコン膜の酸化速度を低下させることができる。この時、N₂の混合比率は0~99.5%の範囲で調節することができる。N₂を含有させることは熱酸化反応を必要以上に進ませずにゲッタリング時間を増やす場合に有効な手段である。

【0037】また、ハロゲン元素を含む化合物としてHClガスを用いる例を示したが、それ以外のガスとして、代表的にはHF、NF₃、HBr、Cl₂、CF₄、BCl₃、F₂、Br₂等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0038】この工程においては横成長領域109、110中に添加されたニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。

【0039】なお、図1(D)のゲッタリング工程ではシリコン表面において熱酸化反応が進行するため、シリコン膜上には酸化膜111(酸化膜103を含む)が形成される。ただし、この酸化膜111は塩化ニッケルの離脱を妨げるブロッキング層とはならない。また、酸化膜111はシリコン原子がジクロロシラン(SiH₂Cl₂)等の化合物となって離脱するのを防ぐ効果も有する。

【0040】そして、この触媒元素のゲッタリング工程

により横成長領域 109、110 中のニッケルの濃度は $1 \times 10^{17} \text{ atoms/cm}^3$ 以下（好ましくはスピンドル以下）にまで低減される。なお、本明細書における不純物濃度は S I M S 分析で得られた計測値の最小値で定義される。なお、同様の S I M S 分析により横成長領域 109、110 中にはゲッタリング処理に使用したハロゲン元素が $1 \times 10^{15} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度で残存することも確認されている。

【0041】以上のようにして、非晶質シリコン膜の結晶化工程から触媒元素のゲッタリング工程までを同一の加熱炉内に基板を入れたまま連続的に行うことができる。この事は、スループットの向上に大きく寄与する。

【0042】次に、酸化膜 111 を除去した後、パターンングを行い図 1 (E) に示す様な横成長領域のみでなる島状半導体層（活性層）112～114 を形成する。ここで 112 は C M O S 回路を構成する N チャネル型 T F T の活性層、113 は C M O S 回路を構成する P チャネル型 T F T の活性層、114 は画素 T F T を構成する N チャネル型 T F T の活性層である。

【0043】なお、図 1 (E) に示す状態となっても横成長領域 109、110 が存在した痕跡が幾つか残る。例えば、添加領域 107、108 はシリサイド化して優先的に消失するため添加領域の存在した直下の下地（この場合は石英）には凹部が形成される。また、横成長領域の端部（結晶化の終点）にも触媒元素が偏析するので、この領域にも下地に凹部が形成される。

【0044】横成長領域でなる結晶シリコン膜で構成される活性層 112～114 を形成したら、活性層 112～114 上に後にゲート絶縁膜となる酸化珪素膜 115 を成膜する。酸化珪素膜 115 の膜厚は後の熱酸化工程で形成される熱酸化膜の膜厚も考慮して最終的に必要とする膜厚となる様に調節する。本実施例では 30nm の膜厚で形成する。

【0045】次に、図 2 (A) に示す様に再び触媒元素のゲッタリング工程（2 回目）を行う。条件は前述の条件をそのまま用いることができる。この加熱処理により活性層 112～114 と酸化珪素膜 115 の界面では熱酸化反応が進行し、形成された熱酸化膜（図示せず）の分だけ酸化珪素膜 115 の全膜厚は増加する。その際、活性層 112～114 と熱酸化膜との間に前述のハロゲン元素が高濃度に分布することが S I M S 分析によって確かめられている。

【0046】また、同時に熱酸化膜の形成分に比例して活性層 112～114 は薄膜化される。活性層の薄膜化は T F T のオフ電流の低減、電界効果移動度の向上などの効果を促進する。

【0047】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で 950 °C 1 時間程度の加熱処理を行なうことで、酸化珪素膜 115 の膜質の向上と共に、極めて良好な半導体／絶縁膜界面が実現され

る。

【0048】以上の様な工程を経て形成された結晶シリコン膜は特異な結晶構造体となっている。この結晶構造体は以下に示す様な特徴を有している。

【0049】(1) 細い棒状または偏平棒状結晶に成長している。

(2) 複数の棒状または偏平棒状結晶は互いに平行またはほぼ平行に方向性をもって成長している。

(3) 棒状または偏平棒状結晶の内部は結晶格子の構造がほぼ特定方向に連続的に連なり、キャリアにとって実質的に単結晶と見なせる領域となっている。

【0050】従って、この様な結晶シリコン膜はキャリアにとって実質的に単結晶と見なせる結晶性を有する領域が、互いにほぼ平行に延在する結晶粒界によって仕切られた構造となっている。なお、キャリアにとって実質的に単結晶と見なせるとはキャリアの移動を阻害する不純物元素や欠陥の濃度が著しく低減されていることを意味している。

【0051】また、活性層を形成する際に、T F T の動作時にキャリアが移動する方向と結晶粒界の延在する方向とを一致させる様に設計することでキャリアの移動度は大幅に向上する。これはキャリアの移動方向が結晶粒界によって特定の位一方向に規定されるため、キャリア同士の衝突による散乱が少なくなるからである。なお、結晶粒界には不対結合手の様な格子欠陥が実質的に存在しないことが、H R T E M (High Resolution T E M) 分析による格子像観察で確認されている。

【0052】さらに、この様な特異な結晶構造に起因して微細な T F T を作製した場合に短チャネル効果の影響を受けにくいという特徴がある。本発明者らは、結晶粒界で生じるエネルギー障壁がドレイン領域からチャネル形成領域に向かって広がる空乏層を効果的に抑止し、パンチスルーや劣化現象を防いでいるためと推測している。

【0053】以上の様な特異な結晶構造体でなる活性層 112～115 が得られたら、次に、0.2w1% のスカンジウムを含有したアルミニウム膜（図示せず）を成膜し、後のゲート電極の原型となる電極パターンを形成する。なお、アルミニウム膜の代わりにタンタル、タンゲステン、モリブデン等を用いることもできる。そして、そのパターンの表面を陽極酸化することで、ゲート電極 116～118、陽極酸化膜 119～121 を形成する。

(図 2 (B))

【0054】次に、ゲート電極 116～118 をマスクとして自己整合的に酸化珪素膜 115 のエッチングを行う。エッチングは C H F₆ ガスを用いたドライエッチング法で行なえば良い。この工程により、ゲート電極の直下のみに残存するゲート絶縁膜 122～124 が形成される。

【0055】次に、P チャネル型 T F T となる領域を覆

つてレジストマスク 125 を形成した後、N型を付与する不純物イオンの添加を行う。不純物イオンの添加はイオン注入法やプラズマドーピング法によれば良い。また、この時の濃度 (n⁻ で表す) は後に LDD 領域の濃度 ($1 \times 10^{18} \sim 1 \times 10^{19}$ atoms/cm³ 程度) となるので、予め最適値を実験的に求めて精密な制御を行う必要がある。こうして、n⁻ 領域 126～129 が形成される。

(図 2 (C))

【0056】n⁻ 領域 126～129 を形成したら、レジストマスク 125 を除去して、今度は N チャネル型 TFT を覆ってレジストマスク 130 を形成する。そして、P型を付与する不純物イオンの添加を行い、p⁻ 領域 131、132 を形成する。この p⁻ 領域 131、132 も後に LDD 領域の濃度 ($5 \times 10^{18} \sim 5 \times 10^{19}$ atoms/cm³ 程度) となるので精密な制御を行う必要がある。

(図 2 (D))

【0057】以上の様にして n⁻ 領域 126～129、p⁻ 領域 131、132 を形成したら、レジストマスク 130 を除去する。そして、図示しない酸化珪素膜を 0.5～2 μm の厚さに成膜し、エッチバック法によりサイドウォール 133～135 を形成する。(図 2 (E))

【0058】次に、再び P チャネル型 TFT を覆ってレジストマスク 136 を形成し、N型を付与する不純物イオンの添加工程を行う。今回は前述の添加濃度である n⁻ よりも高い濃度 (n⁺ で表す) で添加する。この濃度はソース／ドレイン領域のシート抵抗が 500 Ω 以下 (好みには 300 Ω 以下) となる様に調節する。

【0059】この工程により CMOS 回路を構成する N チャネル型 TFT のソース領域 137、ドレイン領域 138 が形成され、サイドウォールの影になって濃度の変化しなかった領域 139 が低濃度不純物領域 (特にドレイン領域側は LDD 領域と呼ばれる) となる。また、ゲイト電極の直下は真性または実質的に真性なチャネル形成領域 140 となる。また、同時に画素 TFT となる N チャネル型 TFT のソース領域 141、ドレイン領域 142、低濃度不純物領域 143、チャネル形成領域 144 が形成される。(図 3 (A))

【0060】次に、レジストマスク 136 を除去し、N チャネル型 TFT を覆ってレジストマスク 145 を形成する。そして、P型を付与する不純物イオンを 1 度目よりも高い濃度 (p⁺ で表す) で添加することにより、CMOS 回路を構成する P チャネル型 TFT のソース領域 146、ドレイン領域 147、低濃度不純物領域 148、チャネル形成領域 149 を形成する。(図 3 (B))

【0061】以上の様にして全ての活性層が完成する。こうして全ての不純物イオンの添加工程が終了したら、レジストマスク 145 を除去した後、ファーネスアニール、レーザーアニール、ランプアニール等の加熱処理に

より不純物イオンの活性化を行う。なお、活性層が受けたイオン注入時のダメージは同時に回復される。

【0062】次に、チタン (Ti) 膜 150 を 20～50 nm の厚さに成膜して、ランプアニールによる加熱処理を行う。この時、チタン膜 150 と接触していたシリコン膜はシリサイド化し、ソース／ドレイン領域にはチタンシリサイド 151～153 が形成される。なお、チタンの代わりにタンガステン (W)、タンタル (Ta)、モリブデン (Mo) 等を用いることもできる。

【0063】シリサイド化を終えたら、チタン膜 150 をパターニングしてソース／ドレイン領域上に島状パターン 154～156 を形成する。この島状パターン 154～156 は、後にソース／ドレイン領域と配線とを接続するコンタクトホールを形成する際にチタンシリサイド 151～153 が無くなってしまうのを防ぐためのパターンである。勿論、コンタクトホールを形成する層間絶縁膜とチタンシリサイドとの選択比が大きければ島状パターン 154～156 を省略することは可能である。

【0064】次に、第 1 の層間絶縁膜 157 として酸化珪素膜を 0.3～1 μm の厚さに成膜し、コンタクトホールを形成してソース配線 158～160、ドレイン配線 161、162 を形成する。こうして図 3 (D) に示す状態が得られる。なお、第 1 の層間絶縁膜 157 として有機性樹脂膜を用いることもできる。

【0065】図 3 (D) に示す状態が得られたら、有機性樹脂膜でなる第 2 の層間絶縁膜 163 を 0.5～3 μm の厚さに形成する。有機性樹脂膜としてはポリイミド、アクリル、ポリアミド、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、

30 ①成膜方法が簡単である点、②容易に膜厚を厚くできる点、③比誘電率が低いので寄生容量を低減できる点、④平坦性に優れている点などが挙げられる。

【0066】そして、層間絶縁膜 163 上 (画素 TFT の上方) に遮光性を有する膜でなるブラックマスク 164 を 100 nm の厚さに形成する。実際には画素マトリクス回路の配線上や TFT 上の様に遮光の必要性のある場所に設ける。本実施例ではブラックマスクとしてチタン膜を用いるが、黒色顔料を含む樹脂膜等でも良い。

【0067】ブラックマスク 164 を形成したら、第 3 の層間絶縁膜 165 として再び有機性樹脂膜を 0.1～0.3 μm の厚さに形成する。そして、第 2 の層間絶縁膜 163 および第 3 の層間絶縁膜 165 にコンタクトホールを形成し、画素電極 166 を 120 nm の厚さに形成する。

(図 3 (E))

【0068】なお、作製する表示装置が透過型表示装置であれば画素電極 166 として透明導電膜 (例えば ITO 膜) を用いれば良く、反射型表示装置であれば画素電極 166 として反射性導電膜 (例えばアルミニウム膜) を用いれば良い。

50 【0069】また、この時ブラックマスク 164 と画素

電極166が重畠する領域（167で示される領域）では補助容量が形成される。この補助容量は画素電極にかかる電圧を一定に保つための蓄積容量として機能する。そのため、本実施例では補助容量を構成する絶縁体として第3の層間絶縁膜165を用いるが、第3の層間絶縁膜165をさらに比誘電率の高い酸化珪素膜や窒化珪素膜とすれば補助容量のキャパシティを増すことが可能である。

【0070】最後に、基板全体を水素雰囲気で加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（未結合手）を補償する。以上の工程を経て同一基板上にCMOS回路および画素TFTを配置したアクティブマトリクス基板を作製することができる。

【0071】なお、本実施例に示す工程で作製されたTFTは極めて高い性能を有し、単結晶シリコンウェハ上に形成されたIGFETに匹敵する或いは凌駕する電気特性を得ることができる。

【0072】例えば、サブスレッショルド係数（S値）がN型TFT、P型TFT共に60～100mV/decadeと小さい。この事は従来のポリシリコンTFTを遙かに凌ぎ、IGFETと比べて遜色のないイッチャング性能を有していることを示している。また、TFTの動作速度の速さを示すパラメータである電界効果移動度（ μ_{FE} ）が、N型TFTで200～650cm²/Vs（代表的には250～300cm²/Vs）、P型TFTで100～300cm²/Vs（代表的には150～200cm²/Vs）と大きい。

【0073】また、本発明者らがこの様なTFTでリングオシレータ回路（段数：9段、ゲート絶縁膜の膜厚：30nm、ゲート長：0.6 μm）を構成した際に、1GHz以上の発振周波数が確認されている。

【0074】また、同様の特性をIGFETで得るためににはゲート絶縁膜の膜厚を10nm程度とする必要があるのに対し、本発明を構成するTFTは30nmと比較的厚くできるため、同一特性のIGFETよりも高い信頼性を得ることができる。

【0075】【実施例2】本実施例では実施例1に示したTFTの作製工程を用いてマイクロプロセッサ等の半導体装置（半導体回路）を構成する場合の例について説明する。なお、本実施例では半導体回路の一実施例であり、回路構成は本実施例で限定されるものではない。

【0076】図4に示す半導体回路はマイクロプロセッサの一例を示している。本実施例ではサブストレート基板（母体基板）401として太陽電池級シリコン基板（単結晶でも多結晶でも構わない）を用いることで製造コストの低減を狙った構成としている。また、基板401上には絶縁膜402が形成されており、基板と素子とが絶縁分離されている。

【0077】図4において、403～405はI/Oポート、406はCPU、407はキャッシュメモリー、

408はキャッシュアドレスアレイ、409は乗算器、410はリアルタイムクロック、シリアルインターフェース、タイマー等を含む回路、411はクロック制御回路、412はキャッシュコントローラ、413はバスコントローラである。

【0078】また、図4に示す回路構成以外にも、LCDドライバ回路や携帯機器用の高周波回路などを構成することもできる。即ち、実施例1に示すTFTを用いることで従来のICチップやLSIチップをTFTで作製することが可能である。

【0079】本発明を用いることで、ゲート長（チャネル長）が0.01～2 μmといった加工精度で形成されるTFTを高密度に集積化することができる。即ち、回路設計の自由度が大幅に向上するため、本実施例に示す様なマイクロプロセッサを形成することができる。

【0080】【実施例3】本実施例では実施例1と異なる構成を有するCMOS回路を構成する場合の例について図5（A）～（C）を用いて説明する。なお、図5（A）～（C）は基本的な部分は全て実施例1で説明したCMOS回路と同一構造であるので、必要な部分のみを説明する。

【0081】まず、図5（A）は実施例1で示したCMOS回路において、ゲート電極501、502として一導電性を付与したシリコン薄膜（ポリシリコン膜）を利用したシリコンゲート型TFTでCMOS回路を構成する例である。なお、Nチャネル型TFTとPチャネル型TFTとでゲート電極の導電性を異なるものとする（N型またはP型）デュアルゲート型TFTとすることもできる。

【0082】この様なシリコンゲート構造とすると、図3（C）のチタンシリサイド151、152の形成とともにゲート電極501、502の上部にもチタンシリサイド503、504が形成される。そのため、ゲート電極とゲート電極に接続する接続配線とのオーミックコンタクトをより良好なものとすることができる。

【0083】また、図5（B）は実施例1で示したCMOS回路において、サイドウォール133、134およびチタンでなる島状パターン154、155を形成しない場合の例である。この構成では、ゲート絶縁膜50

405、506の端部（ゲート電極116、117よりも外側に延在した部分）の幅で低濃度不純物領域139、148の長さが決定される。また、チタンシリサイド151、152と各配線158、159、161とが直接コンタクトする様な構造となる。

【0084】実施例1におけるサイドウォール133、134の主だった役割は、低濃度不純物領域139、148の長さおよび添加濃度の決定である。しかし、図5（B）に示す構成では本発明者らによる特開平7-135318号公報記載の技術を利用しているため、サイドウォールを利用しない構成とすることができます。また、本実施例

ではコンタクトホール形成をドライエッチング法で行い、層間絶縁膜157とチタンシリサイド151、152との選択比を高めることで、保護層として島状パターン154、155を設ける必要のない構成としている。

【0085】以上の様にしてサイドウォール133、134および島状パターン154、155を形成する工程を簡略化することで、スループットの向上、歩留りの向上、製造コストの低減が期待できる。

【0086】また、図5 (C) は逆スタガ型TFTの一例であり、石英基板507、ゲート電極508、509、ゲート絶縁膜510、活性層511、512、チャネルストッパー513、514、層間絶縁膜515、ソース配線516、517およびドレイン配線518で構成される。

【0087】ただし、実施例1に示す様に高い温度での加熱処理工程が含まれる場合、ゲート電極として耐熱性の高い材料（例えば一導電性を付与したポリシコン膜等）を用いるなどの工夫が必要である。

【0088】【実施例4】本発明は実施例1で説明した様なイオン注入法だけでなく、他の実施形態としてレジストマスクを使用しないで触媒元素を直接的に非晶質シリコン膜中へと添加すること方法を用いることもできる。

【0089】そのための手段としては、FIB (Focused Ion Beam) 法等の様に微細スポットのみにイオンを照射できる様な技術がある。この様な技術によれば触媒元素を含む集束イオンビームによって直接的にパターンが描画され、所望の位置に所望の形状で触媒元素の添加領域を形成できる。

【0090】本実施例によればレジストマスクを形成する工程やパターニング工程を簡略化することができるので、製造コストの低減および製造歩留りの向上を図ることが可能である。

【0091】【実施例5】本実施例では実施例1に示した層間絶縁膜（第1～第3まで）の組み合わせについての幾つかの例を説明する。

【0092】まず、図3 (D) においてアルミニウムを主成分とする配線158～162の下地となる第1の層間絶縁膜157およびチタン膜でなるブラックマスク164の下地となる第2の層間絶縁膜163としてはポリイミドを用いる。そして、画素電極166の下地となる第3の層間絶縁膜165はアクリルを用いる。

【0093】本発明者らの実験条件では配線158～162とブラックマスク164の成膜温度（300°C程度）がアクリルの耐熱温度（200°C程度）よりも若干高いため、下地としては成膜温度に耐えうるポリイミド（耐熱温度は350～400°C程度）を用いることが好ましい。また、画素電極166は室温成膜なので下地として耐熱性の低いアクリルを使用することができる。ただしこの構成は、画素電極166がITO等の様に成膜温度の低い

材料（アクリルの耐熱温度以下で成膜できる材料）である場合に限る。

【0094】この様な構成とした時、次の様な利点を得ることができる。

(1) アクリルは感光性であるためレジストマスクを使用しないで直接パターニングできるため、製造工程を簡略化できる。

(2) アクリルはポリイミドよりも安価なので製造コストを低減できる。

(3) ITOとポリイミドとの間の密着性よりもITOとアクリルとの間の密着性の方が良好である。

(4) アクリルの方が平坦性に優れるため、画素電極上にかかる電界を均一なものとすることができる。

【0095】また、別の例として全ての層間絶縁膜をポリイミドで形成することもできるし、全ての層間絶縁膜をアクリルで形成することもできる。ただし、全ての層間絶縁膜をアクリルで形成する場合、アクリルを成膜した後の工程は全てアクリルの耐熱温度以下で行われることが条件である。

20 【0096】【実施例6】本発明はあらゆる半導体装置に対して適用可能であり、絶縁表面を有する基板上においてTFTを用いて回路を構成した半導体装置であれば全て適用範囲に入る。その様な半導体装置は、実施例2の様にICやVLSIの様にロジック回路のみとして機能する場合もあるし、実施例1の様にアクティブマトリクス型電気光学装置（表示装置）として機能する場合もある。

【0097】アクティブマトリクス型電気光学装置としては、アクティブマトリクス型液晶表示装置、アクティブマトリクス型EL表示装置、アクティブマトリクス型EC表示装置などに適用することができる。また、アクティブマトリクス型電気光学装置はCPU、メモリ、D/Aコンバータ、アンプ等に信号処理回路を搭載したシステム・オン・パネル (SOP) とすることもできる。

【0098】【実施例7】本実施例では、本発明を適用しうる半導体装置の一例として実施例6に示した様な半導体装置を用いた応用製品について図6を用いて説明する。なお、本明細書中において「半導体装置」とは半導体を利用する装置全般を指しており、本実施例に示す様な応用製品もその範疇に含むものとする。

【0099】本発明を利用した半導体装置としては（デジタル）ビデオカメラ、（デジタル）スチルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。また、最近脚光を浴びているPHS (Personal Handyphone System) 搭載型携帯情報端末にも適用できる。

【0100】図6 (A) はモバイルコンピュータ（モバイルコンピュータ）であり、本体2001、カメラ部2002、受像部2003、操作スイッチ2004、表示

装置 2005 で構成される。本発明は表示装置 2005 や内部回路に適用することができる。

【0101】図 6 (B) はヘッドマウントディスプレイであり、本体 2101、表示装置 2102、バンド部 2103 で構成される。本発明は表示装置 2102 に適用することができる。

【0102】図 6 (C) はカーナビゲーションシステムであり、本体 2201、表示装置 2202、操作スイッチ 2203、アンテナ 2204 で構成される。本発明は表示装置 2202 や内部回路に適用することができる。

【0103】図 6 (D) は携帯電話であり、本体 2301、音声出力部 2302、音声入力部 2303、表示装置 2304、操作スイッチ 2305、アンテナ 2306 で構成される。本発明は表示装置 2304 や通信用の高周波回路などに適用することができる。

【0104】図 6 (E) はビデオカメラであり、本体 2401、表示装置 2402、音声入力部 2403、操作スイッチ 2404、バッテリー 2405、受像部 2406 で構成される。本発明は表示装置 2402 に適用することができる。

【0105】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することができる。また、これ以外にも I C、L S I といった半導体回路を必要とする製品であれば用途を問わない。

【0106】

【発明の効果】本発明を実施することで非晶質シリコン膜の結晶化工程から触媒元素のゲッタリング工程までを

連続的に処理することができるため、製造工程のスループットを向上させることができる。

【0107】また、非晶質シリコン膜の結晶化にあたって触媒元素の添加領域の占有面積を極めて低減することができる。従って、高密度に集積化された半導体装置を形成するにあたって、回路設計の自由度を大幅に向上させることができる。

【図面の簡単な説明】

【図 1】 アクティブマトリクス基板の作製工程を示す図。

【図 2】 アクティブマトリクス基板の作製工程を示す図。

【図 3】 アクティブマトリクス基板の作製工程を示す図。

【図 4】 マイクロプロセッサの構成を示す図。

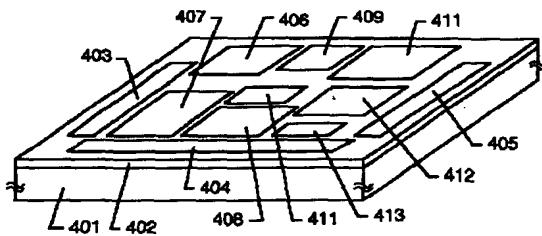
【図 5】 C M O S 回路の構成を示す図。

【図 6】 応用製品の一例を説明するための図。

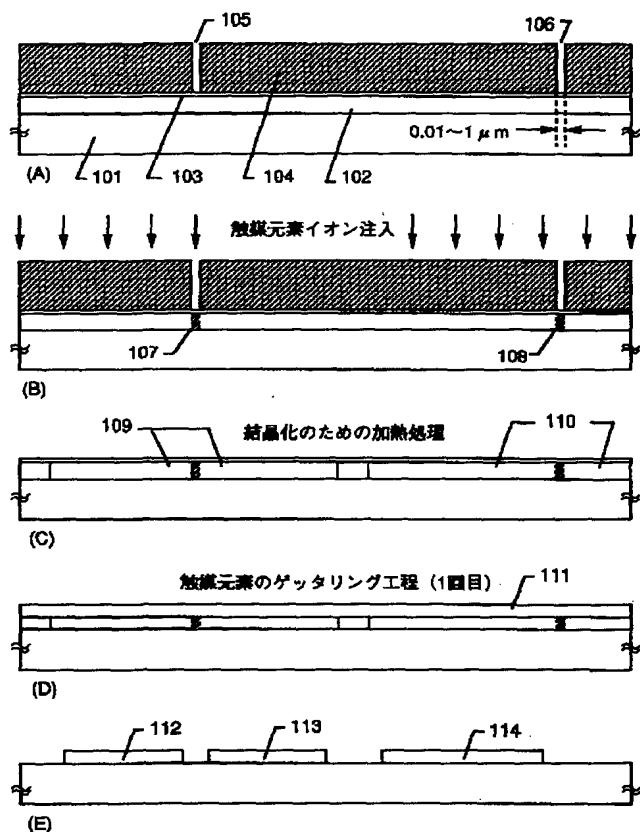
【符号の説明】

101	基板
102	非晶質シリコン膜
103	酸化膜層 (バッファ層)
104	レジストマスク
105、106	スルーホール
107、108	触媒元素 (N i) の添加領域
109、110	横成長領域
111	酸化膜
112～114	島状半導体層 (活性層)

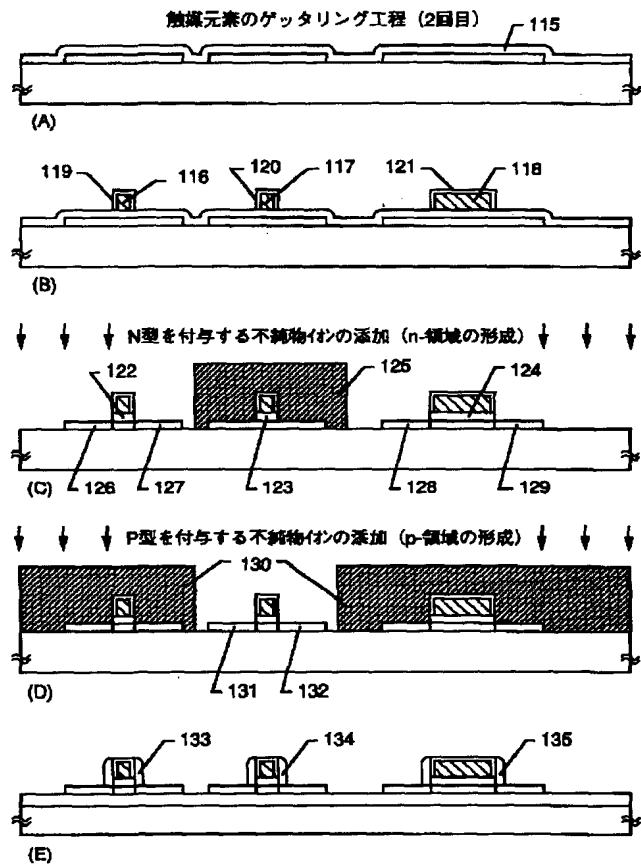
【図 4】



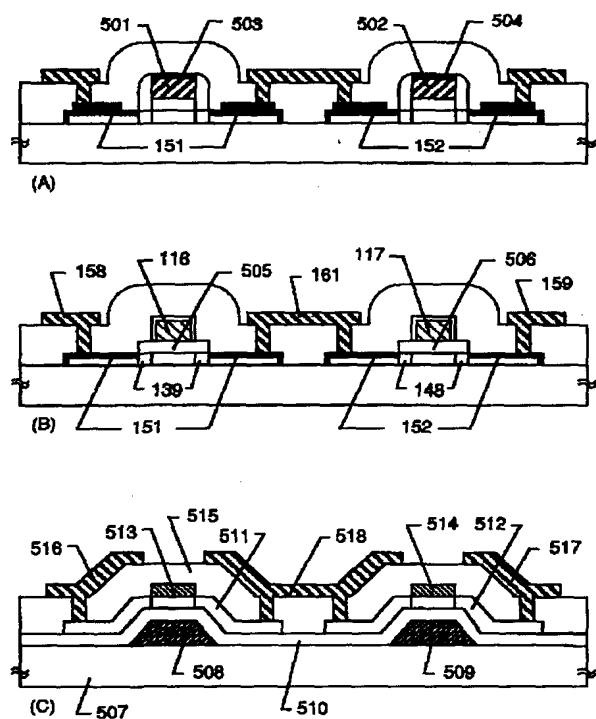
【図 1】



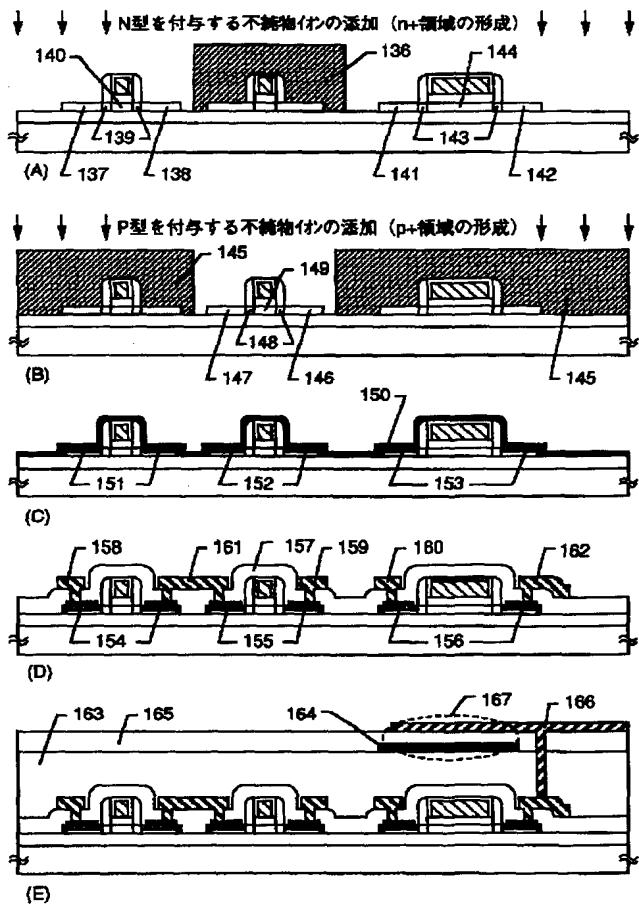
【図 2】



【図 5】



【図 3】



【図 6】

